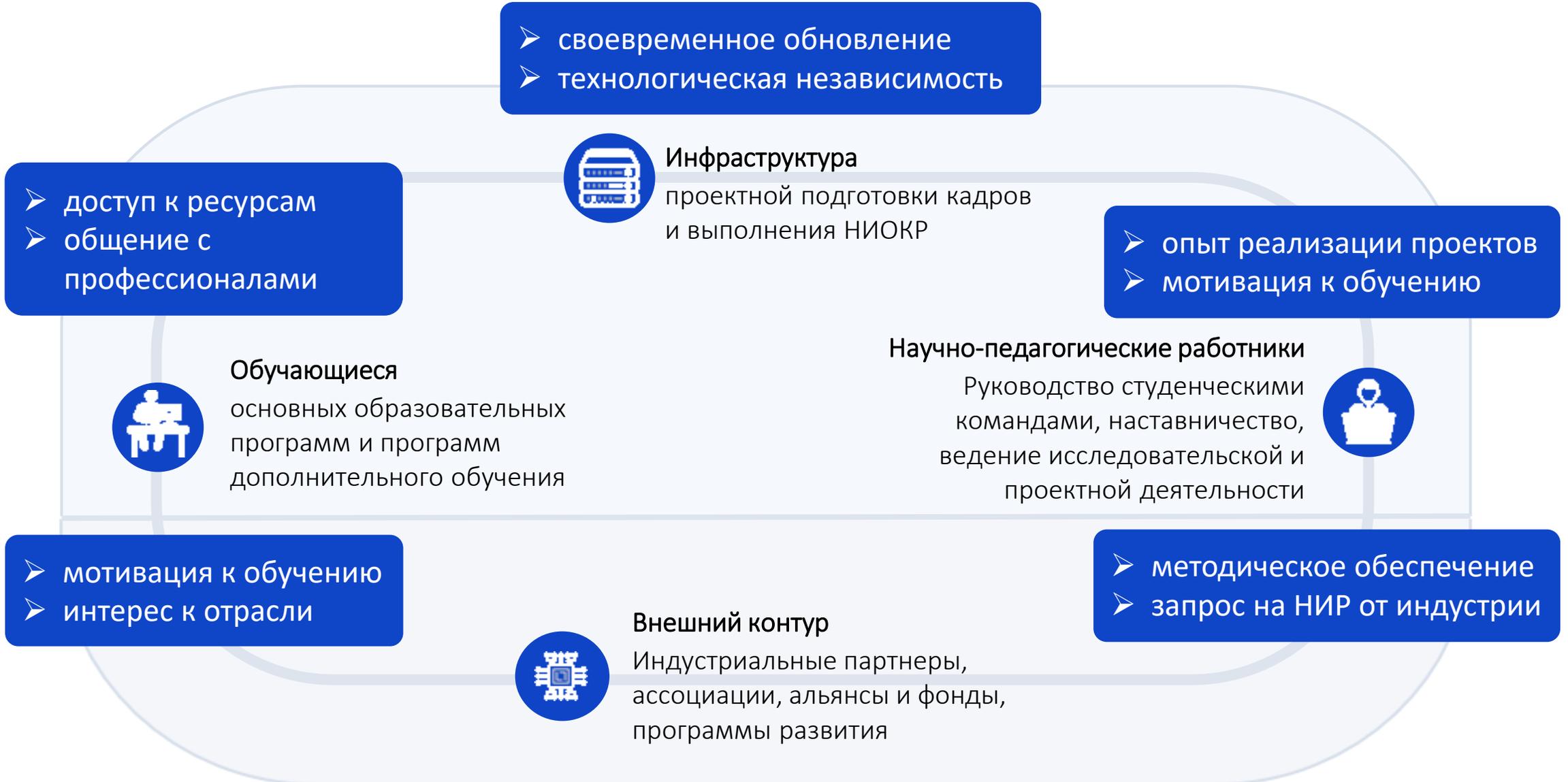


Подготовка кадров в области ИКТ электроники НИУ МИЭТ

16 - 17 МАЯ 2024 Г.
ПРЕПОДАВАНИЕ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ В
РОССИЙСКОЙ ФЕДЕРАЦИИ - 2024
ИТ-ОБРАЗОВАНИЕ - 2024

Калеев Дмитрий Вячеславович
Зам. директора Института МПСУ
НИУ МИЭТ, к.т.н.





Подготовка кадров по направлениям:

- **09.00.00** «Информатика и вычислительная техника»
- **11.00.00** «Электроника, радиотехника и системы связи»

Специальности:

- проектировщик цифровых СБИС
- инженер-верификатор
- системный программист

Дополнительная ОП YADRO. Проектирование микроэлектроники от СФ-блока до ИС

Микс нескольких направлений магистратуры с углубленной программой ДОП, с пересечением компетенций и командным подходом к обучению

Направления в рамках одного ДОП:

- RTL проектирование
- Функциональная верификация
- Топологическое проектирование
- Системное программирование





МИНОБРНАУКИ
РОССИИ

Бесплатное производство прототипов интегральных схем для университетов и студенческих команд

Подробная информация на mpw.miet.ru

Принцип работы

Фабрики и технологии

mikron
Группа компаний «Микрон»

КМОП
180нм

НМ-ТЕХ

КМОП
250нм



КМОП/КНИ
0,35мкм

«Светлана-Рост»

СВЧ ИС
до 0.25 мкм

ИННТИ

БМК
5503/5507

ЗИТЦ

бинарные
фотошаблоны
до 180нм



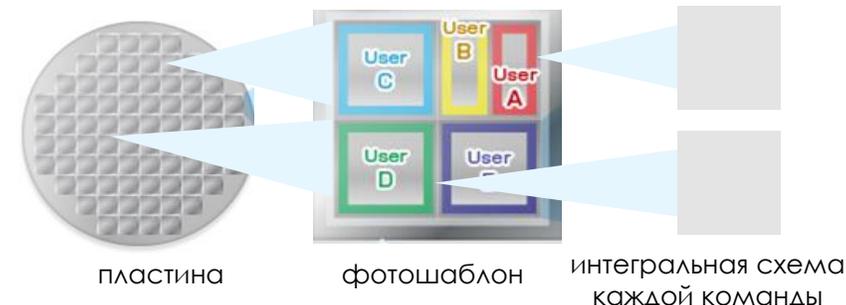
обработка
пластин

Доступные опции:

- предоставление PDK фабрик
- проверка правил проектирования
- производство 5-10 шт.
- изготовление бескорпусных интегральных схем
- корпусирование интегральных схем
- производство оснастки и тестирование

Интеграция в образовательный процесс

- 09.00.00 «Информатика и вычислительная техника»
- 11.00.00 «Электроника, радиотехника и системы связи»



1 запуск в год

до 1 февраля КАЖДОГО ГОДА
сбор проектов

до 1 декабря КАЖДОГО ГОДА
производство

Запуск 2023 года **19** проектов

План по запуску 2024 года **54** проекта

- Запуск ПК «Функциональная верификация цифровых устройств»
- Проведение ежегодного хакатона «SoC Design Challenge»
- Разработка процессорного ядра с архитектурой RV64G
- Участие в школе синтеза цифровых схем
- Создание лаборатории RISC-V в МИЭТ
- Подготовка и публикация учебного пособия по курсу **«Архитектуры процессорных систем»** по разработке процессора с архитектурой RISC-V – (<https://mpsu.github.io/APS/>)

Старт в рамках ПИШ МИЭТ с осени 2024 г. образовательной **программы магистратуры** «Вычислительные системы и электронная компонентная база» по направлению «Информатика и вычислительная техника».

Студенческий проект по созданию микроконтроллера

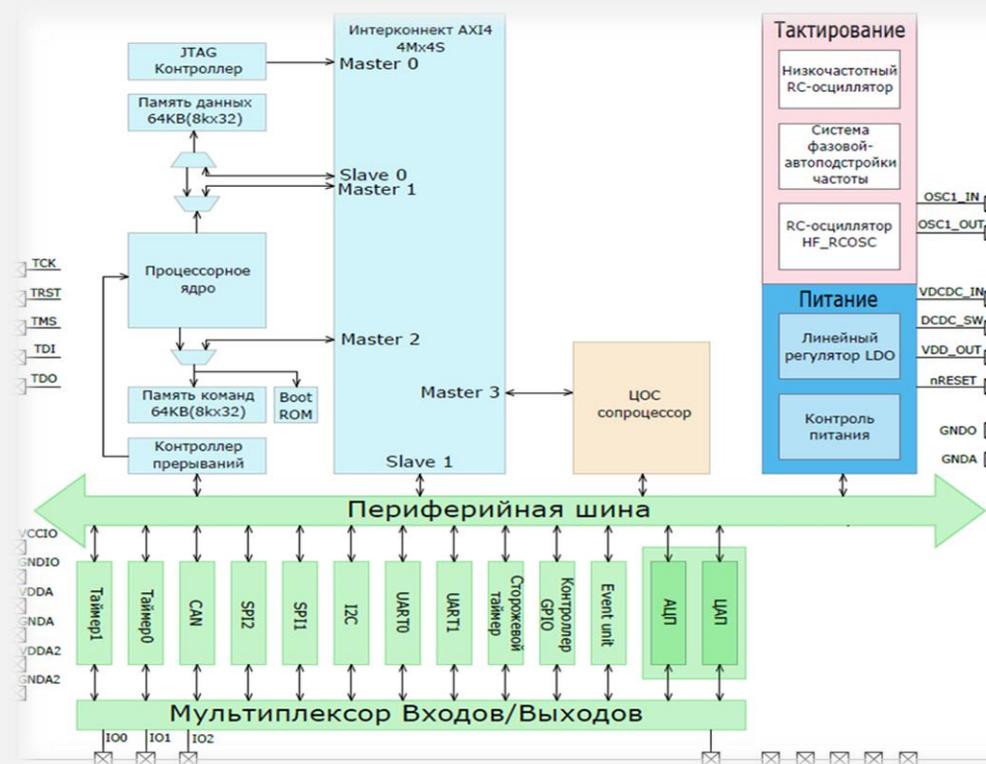
Полный цикл создания студенческого микроконтроллера от построения архитектуры до производства прототипов на технологическом сервисе MPW (АО «Микрон» 180 нм)

Архитектура – 32-разрядная RISC-V

Тактовая частота – 120 МГц

Объем ОЗУ программ – 64 Кбайт

Объем ОЗУ данных – 64 Кбайт



Ежегодные соревнования в области проектирования современных микропроцессоров на базе архитектуры RISC-V и решения практических задач маршрута проектирования систем на кристалле



Направления

01 Топологическое проектирование
преобразование функционального (RTL) описания в логическую схему из стандартных ячеек

02 Функциональная верификация
реализация референсной модели блока на SystemVerilog

03 Системное программирование **new**
функциональная верификация со стороны software-разработки

04 RTL проектирование (PRO)
оптимизация многопортового коммутатора (interconnect), работающий по определенному протоколу

Участники

2022
60
участников

2023
150
участников

2024
270
участников



Свод знаний по RISC-V



АЛЪЯНС RISC-V

Полезные материалы по RISC-V

- Официальные ресурсы
- Учебные материалы Российского Альянса RISC-V
- Учебные курсы и материалы
- Видеоматериалы
- Статьи и обзоры
- Литература
- Симуляторы, эмуляторы, наборы инструментов
- Opensource RISC-V processors from Academia



5. Software Fundamentals

K(C-5.1) Graphics and Visualization	Обработка изображений на устройствах RISC-V (перевод АР на RISC-V).
K(C-5.2) Operating Systems	Разработка/адаптация ОС для RISC-V архитектур.
K(C-5.3) Data Structures, Algorithms and Com-	-
K(C-5.4) Programming Languages	-
K(C-5.5) Programming Fundamentals	Кросс-компиляция для RISC-V (АР). Язык Ассемблер для платформы RISC-V.
K(C-5.6) Computing Systems Fundamentals	Основы вычислительных систем (перевод АР на RISC-V или использование RISC-V в качестве примера целевой платформы).

6. Hardware

K(C-6.1) Architecture and Organization	Архитектура микропроцессоров (перевод АР на RISC-V).
K(C-6.2) Digital Design	Курсы по ПЛИС, проектировании СнК (перевод АР на RISC-V).

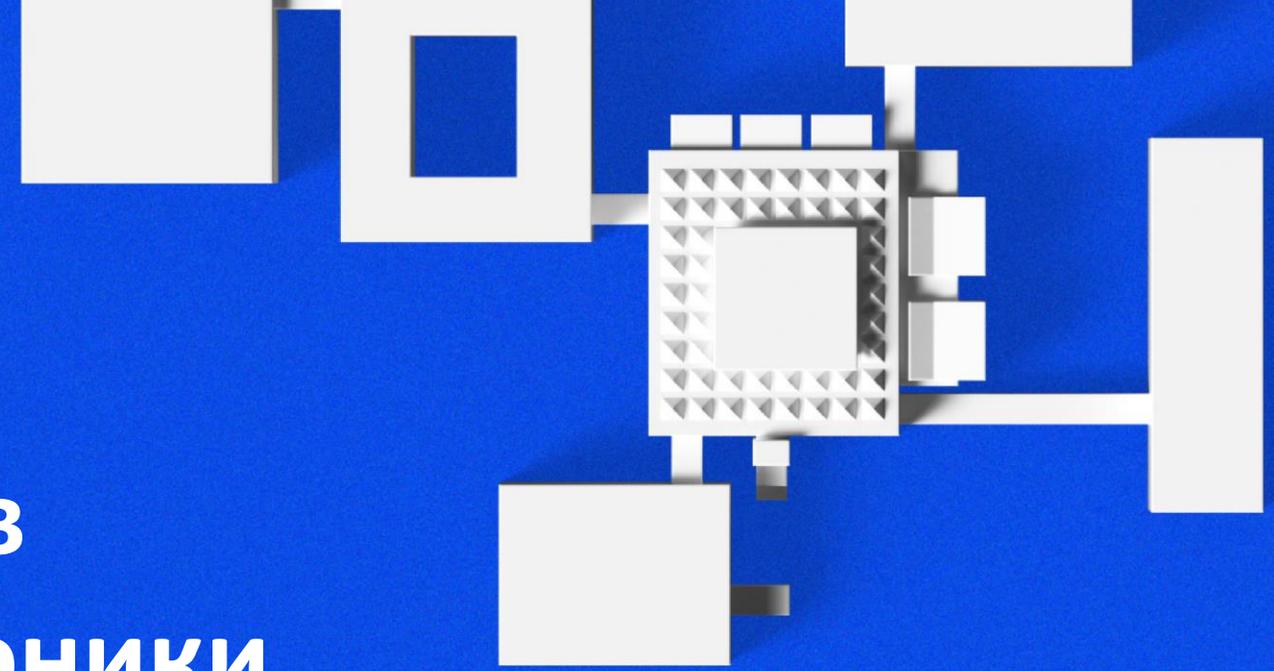
A Computing Curricula Series Report
2020 December 31

Computing Curricula 2020
CC2020

Paradigms for
Global Computing Education

encompassing undergraduate programs in
Computer Engineering
Computer Science
Cybersecurity
Information Systems
Information Technology
Software Engineering
with data science





Подготовка кадров в области ИКТ электроники НИУ МИЭТ

16 - 17 МАЯ 2024 Г.
ПРЕПОДАВАНИЕ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ В
РОССИЙСКОЙ ФЕДЕРАЦИИ - 2024
ИТ-ОБРАЗОВАНИЕ - 2024

Калеев Дмитрий Вячеславович
Зам. директора Института МПСУ НИУ
МИЭТ, к.т.н.

